

Docket No.: 67161-099

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takuya ARIKI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 10, 2003	:	Examiner: Unknown
	:	
For:		REFERENCE VOLTAGE GENERATING CIRCUIT CAPABLE OF CONTROLLING TEMPERATURE DEPENDENCY OF REFERENCE VOLTAGE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-107758, filed April 11, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 10, 2003

67161-099
ARIKI
September 10, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月11日

出 願 番 号

Application Number:

特願2003-107758

[ST.10/C]:

[JP2003-107758]

出 願 人

Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3045247

【書類名】 特許願

【整理番号】 542458JP01

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 有木 卓弥

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 基準電圧発生回路

【特許請求の範囲】

【請求項 1】 正の温度特性を有する第 1 の定電流を出力する第 1 の定電流回路と、

負の温度特性を有する第 2 の定電流を出力する第 2 の定電流回路と、

前記第 1 および第 2 の定電流を、前記正の温度特性と前記負の温度特性との間の温度特性を有するような割合で合成することによって第 3 の定電流を生成する電流合成回路と、

前記第 3 の定電流を電圧に変換することによって基準電圧を生成する電流－電圧変換回路とを備える、基準電圧発生回路。

【請求項 2】 前記電流合成回路は、

前記第 1 の定電流回路からのカレントミラー接続によって、前記第 1 の定電流に第 1 の係数を乗じた第 4 の定電流を生成する第 1 のトランジスタと、

前記第 2 の定電流回路からのカレントミラー接続によって、前記第 2 の定電流に第 2 の係数を乗じた第 5 の定電流を生成する第 2 のトランジスタと、

前記第 4 および第 5 の定電流が加算されて生成された前記第 3 の定電流を受ける第 3 のトランジスタとを含む、請求項 1 に記載の基準電圧発生回路。

【請求項 3】 前記第 1 および第 2 のトランジスタは、チャネル幅とチャネル長との比を変更することができる、請求項 2 に記載の基準電圧発生回路。

【請求項 4】 前記電流－電圧変換回路は、

前記電流合成回路からのカレントミラー接続によって前記第 3 の定電流を受けるトランジスタと、

前記第 3 の定電流を第 1 の電圧に変換する、温度依存性の小さな可変抵抗素子と、

前記第 1 の電圧を前記基準電圧として出力する基準電圧端子とを含む、請求項 1 に記載の基準電圧発生回路。

【請求項 5】 前記電流－電圧変換回路は、

バイアス電圧を発生するバイアス電圧発生部と、

前記第 3 の定電流を第 1 の電圧に変換する、温度依存性の小さな可変抵抗素子と、

前記バイアス電圧に前記第 1 の電圧を加算した第 2 の電圧を前記基準電圧として出力する基準電圧端子とを含む、請求項 1 に記載の基準電圧発生回路。

【請求項 6】 前記電流－電圧変換回路は、

バイアス電圧を発生するバイアス電圧発生部と、

前記第 3 の定電流を第 1 の電圧に変換する、温度依存性の小さな可変抵抗素子と、

前記バイアス電圧から前記第 1 の電圧を減算した第 3 の電圧を前記基準電圧として出力する基準電圧端子とを含む、請求項 1 に記載の基準電圧発生回路。

【請求項 7】 前記電流－電圧変換回路は、

バイアス電圧を発生するバイアス電圧発生部と、

前記第 3 の定電流を第 1 の電圧に変換する、温度依存性の小さな可変抵抗素子と、

制御信号に応じて、前記バイアス電圧に前記第 1 の電圧を加算した第 2 の電圧および前記バイアス電圧から前記第 1 の電圧を減算した第 3 の電圧のいずれか一方を選択する選択部と、

前記選択部によって選択された前記第 2 または第 3 の電圧を前記基準電圧として出力する基準電圧端子とを含む、請求項 1 に記載の基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、基準電圧発生回路に関し、より特定的には、半導体集積回路に用いられる基準電圧発生回路に関する。

【0002】

【従来の技術】

一般に、DRAM (Dynamic Random Access Memory) のような半導体集積回路では、外部から供給される電源電圧に基づいてまず基準電圧が生成され、この基準電圧をもとに数種類の内部電源電圧が生成される。つまり、内部電源電圧の精

度は、基準電圧の精度によって支配される。

【0003】

一方、半導体集積回路における技術傾向の一つとして低電圧化がある。半導体集積回路の低電圧化が進むにつれて、今まで問題にならなかった基準電圧の温度による変動が顕在化してくるようになった。

【0004】

特許文献1に記載された従来の基準電圧発生回路は、正の温度特性を有する第1の電圧を発生する第1の電圧発生回路と、負またはゼロの温度特性を有する第2の電圧を発生する第2の電圧発生回路と、第1および第2の電圧のうち高い方の電圧を選択して基準電圧として出力するOR回路とを備える。

【0005】

【特許文献1】

特開2000-11649号公報（11-13頁、図2，3）

【0006】

【発明が解決しようとする課題】

特許文献1に記載された従来の基準電圧発生回路は、低温領域において負またはゼロの温度特性を有し高温領域において正の温度特性を有する基準電圧を発生させることができるが、温度領域に対する温度特性が上記の温度特性に固定されてしまうという問題点があった。

【0007】

それゆえに、この発明の目的は、基準電圧の温度依存性を所定の正の温度特性から所定の負の温度特性の間に設定可能な基準電圧発生回路を提供することである。

【0008】

【課題を解決するための手段】

この発明による基準電圧発生回路は、正の温度特性を有する第1の定電流を出力する第1の定電流回路と、負の温度特性を有する第2の定電流を出力する第2の定電流回路と、第1および第2の定電流を、先の正の温度特性と先の負の温度特性との間の温度特性を有するような割合で合成することによって第3の定電流

を生成する電流合成回路と、第 3 の定電流を電圧に変換することによって基準電圧を生成する電流－電圧変換回路とを備える。

【0009】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0010】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 による基準電圧発生回路 10 の概略的な構成を示したブロック図である。

【0011】

図 1 に示すように、実施の形態 1 の基準電圧発生回路 10 は、正の温度特性を有する定電流回路 1 と、負の温度特性を有する定電流回路 2 と、電流合成回路 3 と、電流－電圧変換回路 4 とを備える。ここで、「正の温度特性を有する」とは、温度が上昇するにつれて発生する電流が増大することを意味し、「負の温度特性を有する」とは、温度が上昇するにつれて発生する電流が減少することを意味する。

【0012】

正の温度特性を有する定電流回路 1 から出力された定電流 I_1 、および負の温度特性を有する定電流回路 2 から出力された定電流 I_2 は、ともに電流合成回路 3 に入力される。電流合成回路 3 は、定電流 I_1 、 I_2 を、定電流 I_1 の正の温度特性から定電流 I_2 の負の温度特性の間の温度特性となるような割合で合成することによって、特定の範囲内の温度依存性を有する定電流 $I = p \cdot I_1 + q \cdot I_2$ (p 、 q は、ゼロの場合を含む係数) を出力する。定電流 I は、電流－電圧変換回路 4 に入力され、基準電圧 V_{REF} に変換される。

【0013】

このように、正の温度特性を有する定電流と負の温度特性を有する定電流とをその正の温度特性とその負の温度特性との間の温度特性となるような割合で合成し、その合成された定電流を電圧に変換することによって、基準電圧の温度依存

性を特定の範囲内で任意に設定することが可能となる。

【0014】

以下、基準電圧発生回路10を構成する各回路の具体的な回路構成について詳細に説明する。

【0015】

図2は、この発明の実施の形態1による定電流回路1Aの回路構成を示した回路図である。

【0016】

図2に示す実施の形態1の定電流回路1Aは、電源ノードとノードN1との間に接続されゲートがノードN1に接続されたPチャネルMOSトランジスタ11と、電源ノードとノードN2との間に接続されゲートがノードN1に接続されたPチャネルMOSトランジスタ12と、電源ノードとPチャネルMOSトランジスタ12との間に接続された抵抗値R1の抵抗素子13と、ノードN1と接地ノードとの間に接続されゲートがノードN2に接続されたNチャネルMOSトランジスタ14と、ノードN2と接地ノードとの間に接続されゲートがノードN2に接続されたNチャネルMOSトランジスタ15とを含む。ノードN2から引き出された信号NCC1については、後の図4において述べる。

【0017】

NチャネルMOSトランジスタ14、15はカレントミラー回路を構成し、NチャネルMOSトランジスタ14、15のサイズ（チャネル幅とチャネル長との比）は互いに等しい。そのため、PチャネルMOSトランジスタ11、12の各々には、同じ大きさの電流I1が流れる。なお、NチャネルMOSトランジスタ14、15のチャネル幅は互いに等しく、これを $n w 1$ とおく。

【0018】

一方、PチャネルMOSトランジスタ11、12は、チャネル長は互いに等しいものの、チャネル幅 $p w 1$ 、 $p w 2$ は互いに異なっており、 $p w 1 < p w 2$ である。また、抵抗素子13の抵抗値R1は十分大きいと電流I1は微小電流となり、PチャネルMOSトランジスタ11、12はサブスレシールド領域で動作する。このとき、電流I1は次の式で表わせる。

【0019】

$$I_1 = S / R_1 \cdot \log(pw_2 / pw_1)$$

ここで、Sはサブスレシヨルド係数、テーリング係数、Sファクタなどと呼ばれるMOSトランジスタの物理パラメータの一つである。ここでは、SをSファクタと呼ぶ。Sファクタは、 $S \propto kT/q$ （k：ボルツマン係数，T：絶対温度，q：電荷素量）の関係を有し、正の温度特性を持つ。また、抵抗素子13はポリシリコン等から作られる抵抗素子であって、Sファクタに比べて温度係数が小さい。

【0020】

したがって、電流I1の温度特性は、Sファクタの温度特性をほぼそのまま反映し、正の温度特性を有する。定電流回路1Aのように、PチャネルMOSトランジスタ11，12の動作ポイントをサブスレシヨルド領域に設定することで定電流を実現する定電流回路は、ウィーク・インバージョン型と呼ばれる。

【0021】

図3は、この発明の実施の形態1による定電流回路2Aの回路構成を示した回路図である。

【0022】

図3に示す実施の形態1の定電流回路2Aは、電源ノードとノードN4との間に接続されゲートがノードN3に接続されたPチャネルMOSトランジスタ21と、ノードN3とノードN5との間に接続されゲートがノードN4に接続されたPチャネルMOSトランジスタ22と、電源ノードとPチャネルMOSトランジスタ22との間に接続された抵抗値R2の抵抗素子23と、ノードN4と接地ノードとの間に接続されゲートがノードN5に接続されたNチャネルMOSトランジスタ24と、ノードN5と接地ノードとの間に接続されゲートがノードN5に接続されたNチャネルMOSトランジスタ25とを含む。ノードN5から引き出された信号NCC2については、後の図4において述べる。

【0023】

NチャネルMOSトランジスタ24，25はカレントミラー回路を構成し、NチャネルMOSトランジスタ24，25のサイズ（チャネル幅とチャネル長との

比) は互いに等しい。そのため、PチャネルMOSトランジスタ21, 22の各々には、同じ大きさの電流 I_2 が流れる。なお、NチャネルMOSトランジスタ24, 25のチャネル幅は互いに等しく、これを n_w2 とおく。

【0024】

一方、PチャネルMOSトランジスタ21のサイズ、および抵抗素子23の抵抗値 R_2 は、PチャネルMOSトランジスタ21のゲートソース電圧がしきい値電圧 V_{thp} 近傍となるように設定されている。このとき、電流 I_2 は、次の式で表わせる。

【0025】

$$I_2 = V_{thp} / R_2$$

MOSトランジスタのしきい値電圧は、通常 $-2\text{ mV}/^{\circ}\text{C}$ 程度の負の温度係数を有する。また、抵抗素子23は、図2の抵抗素子13と同様、温度係数が小さい。

【0026】

したがって、電流 I_2 の温度特性は、MOSトランジスタのしきい値電圧の温度特性をほぼそのまま反映し、負の温度特性を有する。定電流回路2Aのように、PチャネルMOSトランジスタ21の動作ポイントをしきい値近傍に設定することで定電流を実現する定電流回路は、しきい値型と呼ばれる。

【0027】

次に、定電流回路1Aによって生成された正の温度特性を有する定電流 I_1 と定電流回路2Aによって生成された負の温度特性を有する定電流 I_2 とを、定電流 I_1 の正の温度特性から定電流 I_2 の負の温度特性の間の温度特性となるような割合で合成することによって、特定の範囲内の温度依存性を有する定電流 I を生成する電流合成回路3Aについて説明する。

【0028】

図4は、この発明の実施の形態1による電流合成回路3Aの回路構成を示した回路図である。

【0029】

図4に示す実施の形態1の電流合成回路3Aは、電源ノードとノードN6との

間に接続されゲートがノードN 6に接続されたPチャネルMOSトランジスタ3 1と、電源ノードとノードN 7との間に接続されゲートがノードN 6に接続されたPチャネルMOSトランジスタ3 2と、ノードN 6と接地ノードとの間に接続されゲートが図2のノードN 2から引き出された信号NCC 1を受けるNチャネルMOSトランジスタ3 3と、ノードN 6と接地ノードとの間に接続されゲートが図3のノードN 5から引き出された信号NCC 2を受けるNチャネルMOSトランジスタ3 4と、ノードN 7と接地ノードとの間に接続されゲートがノードN 7に接続されたNチャネルMOSトランジスタ3 5とを含む。NチャネルMOSトランジスタ3 3, 3 4のチャネル幅 $n w 3$, $n w 4$ は、条件に応じて設定を変え得る。

【0 0 3 0】

NチャネルMOSトランジスタ3 3と図2のNチャネルMOSトランジスタ1 4, 1 5とはカレントミラー回路を構成し、チャネル長は互いに等しく、チャネル幅は、NチャネルMOSトランジスタ3 3が $n w 3$ で、NチャネルMOSトランジスタ2 4, 2 5が $n w 1$ である。そのため、NチャネルMOSトランジスタ3 4には $(n w 3 / n w 1) I 1$ の電流が流れる。

【0 0 3 1】

また、NチャネルMOSトランジスタ3 4と図3のNチャネルMOSトランジスタ2 4, 2 5とはカレントミラー回路を構成し、チャネル長は互いに等しく、チャネル幅は、NチャネルMOSトランジスタ3 4が $n w 4$ で、NチャネルMOSトランジスタ2 4, 2 5が $n w 2$ である。そのため、NチャネルMOSトランジスタ3 4には $(n w 4 / n w 2) I 2$ の電流が流れる。

【0 0 3 2】

したがって、PチャネルMOSトランジスタ3 1に流れる電流 I は、

$$I = p \cdot I 1 + q \cdot I 2$$

となる。ただし、 $p = n w 3 / n w 1$, $q = n w 4 / n w 2$ である。

【0 0 3 3】

PチャネルMOSトランジスタ3 1, 3 2はカレントミラー回路を構成し、PチャネルMOSトランジスタ3 2にも電流 I が流れる。この電流 I は、たとえば

カレントミラー回路を利用することによって取り出すことができる。カレントミラー回路は、ノードN6から引き出された信号PCCを共通ゲート信号として構成することもできるし、ノードN7から引き出された信号NCCを共通ゲート信号として構成することもできる。

【0034】

図5は、電流 I_1 、 I_2 および電流 I の温度特性を示した図である。

図5に示すように、電流 I_1 は正の温度特性を有し、電流 I_2 は負の温度特性を有する。電流 I_1 、 I_2 にそれぞれ係数 p 、 q を乗じた上で両者を合成することにより、電流 $I = p \cdot I_1 + q \cdot I_2$ が生成される。係数 p 、 q は、図4におけるNチャネルMOSトランジスタ33、34のチャネル幅 n_{w3} 、 n_{w4} を変化させることによって調整可能である。

【0035】

図5に実線で示した電流 I は、係数 p 、 q を調整することにより温度依存性を有さない電流 I を生成した場合である。この温度依存性を有さない電流 I は一例であって、係数 p を係数 q に比べて相対的に大きく設定することにより、図5に破線で示した電流 I_{up} のように正の温度特性を有する電流 I を生成することもできる。また、係数 q を係数 p に比べて相対的に大きく設定することにより、図5に破線で示した電流 I_{down} のように負の温度特性を有する電流 I を生成することもできる。

【0036】

さらに、図4におけるNチャネルMOSトランジスタ33、34のいずれか一方を機能させない（係数 p 、 q のいずれか一方をゼロとする）ことによって、電流 I_1 または I_2 をそのまま電流 I とすることもできる。

【0037】

このように、図4に示したNチャネルMOSトランジスタ33、34のチャネル幅 n_{w3} 、 n_{w4} を変化させて係数 p 、 q をある割合で設定することにより、電流 I の温度依存性を特定の範囲内で任意に設定することが可能となる。NチャネルMOSトランジスタ33、34のチャネル幅 n_{w3} 、 n_{w4} を変化させる具体的な手段について、次の図6、7で説明する。ここでは、NチャネルMOS

トランジスタ 3 3 のチャネル幅を変化させる場合を例に説明する。

【 0 0 3 8 】

図 6 は、チャネル幅を変化させることが可能な N チャネル MOS トランジスタ部 3 3 A の回路構成を示した回路図である。

【 0 0 3 9 】

図 6 に示すように、N チャネル MOS トランジスタ部 3 3 A は、N チャネル MOS トランジスタ 1 0 1 ~ 1 0 3 と、ヒューズ 1 1 1 ~ 1 1 3 とを含む。N チャネル MOS トランジスタ 1 0 1 ~ 1 0 3 は、ドレインが共通に接続され、ソースがヒューズ 1 1 1 ~ 1 1 3 の一方にそれぞれ接続され、ゲートが図 2 のノード N 2 から引き出された信号 N C C 1 を受ける。ヒューズ 1 1 1 ~ 1 1 3 の他方は、接地ノードに接続される。

【 0 0 4 0 】

N チャネル MOS トランジスタ 1 0 1 ~ 1 0 3 は、チャネル長が互いに等しく、チャネル幅は、N チャネル MOS トランジスタ 1 0 1, 1 0 2, 1 0 3 がそれぞれ $n w 3 1$, $n w 3 2$, $n w 3 3$ である。図 6 の N チャネル MOS トランジスタ部 3 3 A は、ヒューズ 1 1 1 ~ 1 1 3 を任意に溶断することによって、N チャネル MOS トランジスタ部 3 3 A のチャネル幅を調節することができる。

【 0 0 4 1 】

図 7 は、チャネル幅を変化させることが可能な N チャネル MOS トランジスタ部 3 3 B の回路構成を示した回路図である。

【 0 0 4 2 】

図 7 に示すように、N チャネル MOS トランジスタ部 3 3 A は、N チャネル MOS トランジスタ 1 0 1 ~ 1 0 6 を含む。N チャネル MOS トランジスタ 1 0 1 ~ 1 0 3 は、ドレインが共通に接続され、ソースが N チャネル MOS トランジスタ 1 0 4 ~ 1 0 6 のドレインにそれぞれ接続され、ゲートが図 2 のノード N 2 から引き出された信号 N C C 1 を受ける。N チャネル MOS トランジスタ 1 0 4 ~ 1 0 6 は、ソースが接地ノードに接続され、ゲートが制御信号 C O N T 1, C O N T 2, C O N T 3 をそれぞれ受ける。

【 0 0 4 3 】

NチャネルMOSトランジスタ104～106は、チャネル長が互いに等しく、チャネル幅は、NチャネルMOSトランジスタ104, 105, 106がそれぞれ $nw34$, $nw35$, $nw36$ である。図6のNチャネルMOSトランジスタ部33Bは、制御信号CONT1, CONT2, CONT3を制御してNチャネルMOSトランジスタ104～106を任意にオンオフすることにより、NチャネルMOSトランジスタ部33Bのチャネル幅を調節することができる。

【0044】

なお、NチャネルMOSトランジスタ101, 102, 103のチャネル幅 $nw31$, $nw32$, $nw33$ は、互いに等しく設定する場合、または、たとえば1:2:4の比となるように設定する場合などが考えられる。チャネル幅 $nw31$, $nw32$, $nw33$ の比をある特定の比となるように設定すると、NチャネルMOSトランジスタ部33A, 33Bのチャネル幅を広い範囲で調節することが可能となる。

【0045】

また、NチャネルMOSトランジスタ部33A, 33Bを組み合わせた回路構成も可能である。この場合、たとえば、テスト時に制御信号CONT1, CONT2, CONT3を調整して適切なチャネル幅を決定しておき、その後にヒューズを切断することが可能となる。

【0046】

次に、電流合成回路3Aによって生成された定電流Iを基準電圧 V_{REFa} に変換する電流－電圧変換回路4Aについて説明する。

【0047】

図8は、この発明の実施の形態1による電流－電圧変換回路4Aの回路構成を示した回路図である。

【0048】

図8に示す実施の形態1の電流－電圧変換回路4Aは、電源ノードとノードN8との間に接続されゲートが図4のノードN6から引き出された信号PCCを受けるPチャネルMOSトランジスタ41と、ノードN8と接地ノードとの間に接続された可変抵抗素子42Aとを含む。可変抵抗素子42Aの抵抗値を仮に R_a

とおく。

【0049】

PチャネルMOSトランジスタ41と図4のPチャネルMOSトランジスタ31, 32とはカレントミラー回路を構成し、PチャネルMOSトランジスタ41には、電源電圧VCCに依存しない電流Iが流れる。そのため、オームの法則により、ノードN8からは基準電圧 $V_{REFa} = I \cdot R_a$ が得られる。

【0050】

先述したように、電流Iは、図4に示したNチャネルMOSトランジスタ33, 34のチャネル幅 n_{w3} , n_{w4} を変化させることにより、温度依存性を任意に設定し得る。また、可変抵抗素子42Aは、図2, 3の抵抗素子13, 23と同様、温度係数が小さい。

【0051】

したがって、ノードN8から得られる基準電圧 V_{REFa} は、図4に示したNチャネルMOSトランジスタ33, 34のチャネル幅 n_{w3} , n_{w4} を変化させることによって、温度依存性を任意に設定することができる。また、可変抵抗素子42Aの抵抗値 R_a をトリミングすることによって、基準電圧 V_{REFa} を所望の電圧値に調整することが可能である。

【0052】

以上のように、実施の形態1によれば、正の温度特性を有する定電流と負の温度特性を有する定電流とを、その正の温度特性からその負の温度特性の間の温度特性となるような割合で合成し、その合成された定電流を電圧に変換することによって、基準電圧の温度依存性をある特定の範囲内で任意に設定することが可能となる。

【0053】

〔実施の形態2〕

実施の形態1の基準電圧発生回路10において、スタンバイ電流を低減するために電流Iの値を小さくしようとする、同じ基準電圧 V_{REFa} の値を得るためには、電流-電圧変換回路4Aにおける可変抵抗素子42Aの抵抗値 R_a をその分だけ大きくする必要がある。

【 0 0 5 4 】

しかしながら、可変抵抗素子 4 2 A は、たとえばポリシリコンといった材料から作られるため、可変抵抗素子 4 2 A の抵抗値 R_a を大きくすることは、可変抵抗素子 4 2 A を含むチップのレイアウト面積にそのまま跳ね返ってくる。そのため、実施の形態 1 の電流－電圧変換回路 4 A のような回路構成の場合、電流 I の値を小さくすることと可変抵抗素子 4 2 A を含むチップのレイアウト面積を小さくすることとは、トレードオフの関係にあるという問題があった。

【 0 0 5 5 】

ゆえに、実施の形態 2 の電流－電圧回路 4 B では、電流 I の値を小さくしても可変抵抗素子を含むチップのレイアウト面積を大きくせずに済む電流－電圧変換回路を提供する。

【 0 0 5 6 】

図 9 は、この発明の実施の形態 2 による電流－電圧変換回路 4 B の回路構成を示した回路図である。

【 0 0 5 7 】

図 7 に示す実施の形態 2 の電流－電圧変換回路 4 B は、バイアス電圧発生部 5 0 と、ボルテージフォロワ部 6 0 と、電流バランス部 7 0 と、可変抵抗素子 4 2 B とを含む。

【 0 0 5 8 】

バイアス電圧発生部 5 0 は、電源ノードとノード N 1 1 との間に接続されゲートが図 4 のノード N 6 から引き出された信号 P C C を受ける P チャネル MOS トランジスタ 5 1 と、ノード N 1 1 と接地ノードとの間に接続されゲートがノード N 1 1 に接続された N チャネル MOS トランジスタ 5 2 とを有する。N チャネル MOS トランジスタ 5 2 のサイズ（チャンネル幅とチャンネル長との比）は、条件に応じて設定を変え得る。

【 0 0 5 9 】

P チャネル MOS トランジスタ 5 1 と図 4 の P チャネル MOS トランジスタ 3 1, 3 2 とはカレントミラー回路を構成し、P チャネル MOS トランジスタ 5 1 には、電源電圧 V C C に依存しない電流 I が流れる。また、N チャネル MOS ト

ランジスタ 5 2 はダイオード接続されており、ノード N 1 1 には N チャネル MOS トランジスタ 5 2 のゲートソース電圧がバイアス電圧 B I A S として現れる。ここで、一般的な N チャネル MOS トランジスタにおけるゲートソース電圧の温度依存性について説明する。

【 0 0 6 0 】

図 1 0 は、一般的な N チャネル MOS トランジスタにおけるドレイン電流 I_d とゲートソース電圧 V_{gs} との関係を表わした図である。なお、縦軸のドレイン電流 I_d は対数目盛で表わされている。

【 0 0 6 1 】

図 1 0 に示すように、一般的な N チャネル MOS トランジスタにおけるドレイン電流 I_d とゲートソース電圧 V_{gs} との関係には、通常、温度依存性が存在する。しかし、ドレイン電流 I_d が I_{d0} のとき、低温／高温時にかかわらずゲートソース電圧 V_{gs} は V_{gs0} となり、温度依存性が消失する。

【 0 0 6 2 】

N チャネル MOS トランジスタのゲートソース電圧 V_{gs} は、当該 N チャネル MOS トランジスタのサイズを変化させることによっても調整可能である。したがって、再び図 7 を参照して、N チャネル MOS トランジスタ 5 2 のゲートソース電圧を温度依存性の消失する V_{gs0} となるように調整することで、温度依存性のないバイアス電圧 B I A S を得ることができる。

【 0 0 6 3 】

ボルテージフォロワ部 6 0 は、電源ノードとノード N 1 2 との間に接続されゲートがノード N 1 2 に接続された P チャネル MOS トランジスタ 6 1 と、電源ノードとノード N 1 3 との間に接続されゲートがノード N 1 2 に接続された P チャネル MOS トランジスタ 6 2 と、ノード N 1 2 とノード N 1 4 との間に接続されゲートがノード N 1 1 からのバイアス電圧 B I A S を受ける N チャネル MOS トランジスタ 6 3 と、ノード N 1 3 とノード N 1 4 との間に接続されゲートがノード N 1 5 B に接続された N チャネル MOS トランジスタ 6 4 とを有する。

【 0 0 6 4 】

ボルテージフォロワ部 6 0 は、ノード N 1 1 からのバイアス電圧 B I A S を高

入力インピーダンスで受けて、ノードN15Bに同じ値のバイアス電圧BIASを低出力インピーダンスで出力する。

【0065】

電流バランス部70は、ノードN12と接地ノードとの間に接続されゲートが図4のノードN7から引き出された信号NCCを受けるNチャネルMOSトランジスタ71と、ノードN14と接地ノードとの間に接続されゲートが図4のノードN7から引き出された信号NCCを受けるNチャネルMOSトランジスタ72と、ノードN15Bと接地ノードとの間に接続されゲートが図4のノードN7から引き出された信号NCCを受けるNチャネルMOSトランジスタ73とを有する。

【0066】

電流バランス部70は、NチャネルMOSトランジスタ71, 72, 73が図4のNチャネルMOSトランジスタ35とカレントミラー回路を構成し、ボルテージフォロワ部60のノードN12, N13, N14からそれぞれ流れ出る電流をバランスする。

【0067】

可変抵抗素子42Bは、ノードN13とノードN15Bとの間に接続される。可変抵抗素子42Bの抵抗値を仮にRbとおく。ノードN15Bにはバイアス電圧BIASが与えられ、可変抵抗素子42Bには定電流Iが流れるため、ノードN13から得られる電流－電圧変換回路4Bの基準電圧VREFbは、

$$V_{REFb} = BIAS + I \cdot Rb$$

となる。バイアス電圧BIASは温度依存性を有さず、可変抵抗素子42Bの抵抗値Rbの温度係数も小さいため、電流－電圧変換回路4Bの基準電圧VREFbの温度依存性は、定電流Iの温度依存性とほぼ等しくなる。

【0068】

図11は、電流－電圧変換回路4Bにおける基準電圧VREFbと抵抗値Rbとの関係を示した図である。

【0069】

図11に示すように、電流－電圧変換回路4Bの基準電圧VREFbは、可変

抵抗素子 4 2 B の抵抗値 R_b の増加に比例して増大する。

【 0 0 7 0 】

また、基準電圧 V_{REFb} は、実施の形態 1 の電流－電圧変換回路 4 A における基準電圧 V_{REFa} と比較して、バイアス電圧 $B I A S$ の分だけ底上げされている。そのため、電流 I の値を小さくしても可変抵抗素子 4 2 B の抵抗値 R_b の増大を抑えることができ、可変抵抗素子 4 2 B を含むチップのレイアウト面積を大きくせずに済む。

【 0 0 7 1 】

次に、電流－電圧変換回路 4 B において、可変抵抗素子の配置および基準電圧の取り出しノードを変更した電流－電圧変換回路 4 C について説明する。

【 0 0 7 2 】

図 1 2 は、この発明の実施の形態 2 による電流－電圧変換回路 4 C の回路構成を示した回路図である。

【 0 0 7 3 】

図 1 2 に示す実施の形態 2 の電流－電圧変換回路 4 C は、バイアス電圧発生部 5 0 と、ボルテージフォロワ部 6 0 と、電流バランス部 7 0 と、可変抵抗素子 4 2 C とを含む。

【 0 0 7 4 】

バイアス電圧発生部 5 0、ボルテージフォロワ部 6 0、および電流バランス部 7 0 は、図 7 に示した電流－電圧変換回路 4 B と同等なので、ここでは説明を繰り返さない。

【 0 0 7 5 】

可変抵抗素子 4 2 C は、ノード $N 1 5 C$ とノード $N 1 6$ との間に接続される。可変抵抗素子 4 2 C の抵抗値を仮に R_c とおく。ノード $N 1 5 C$ にはバイアス電圧 $B I A S$ が与えられ、可変抵抗素子 4 2 C には定電流 I が流れるため、ノード $N 1 6$ から得られる電流－電圧変換回路 4 C の基準電圧 V_{REFc} は、

$$V_{REFc} = B I A S - I \cdot R_c$$

となる。バイアス電圧 $B I A S$ は温度依存性を有さず、可変抵抗素子 4 2 C の抵抗値 R_c の温度係数も小さいため、電流－電圧変換回路 4 C の基準電圧 V_{REF}

c の温度依存性は、定電流 I の温度依存性とほぼ等しくなる。

【 0 0 7 6 】

図 1 3 は、電流－電圧変換回路 4 C における基準電圧 V_{REFc} と抵抗値 R_c との関係を示した図である。

【 0 0 7 7 】

図 1 3 に示すように、電流－電圧変換回路 4 C の基準電圧 V_{REFc} は、可変抵抗素子 4 2 C の抵抗値 R_c の増加に比例して減少する。

【 0 0 7 8 】

次に、電流－電圧変換回路 4 B、4 C を一つにまとめた電流－電圧変換回路 4 D について説明する。

【 0 0 7 9 】

図 1 4 は、この発明の実施の形態 2 による電流－電圧変換回路 4 D の回路構成を示した回路図である。

【 0 0 8 0 】

図 1 4 に示す実施の形態 2 の電流－電圧変換回路 4 D は、バイアス電圧発生部 5 0 と、ボルテージフォロワ部 6 0 と、電流バランス部 7 0 と、可変抵抗素子 4 2 D と、トランスファゲート 8 1 ～ 8 4 とを含む。

【 0 0 8 1 】

バイアス電圧発生部 5 0、ボルテージフォロワ部 6 0、および電流バランス部 7 0 は、図 9 に示した電流－電圧変換回路 4 B と同等なので、ここでは説明を繰り返さない。

【 0 0 8 2 】

可変抵抗素子 4 2 D は、ノード N 1 3 とノード N 1 7 との間に接続される。可変抵抗素子 4 2 D の抵抗値を仮に R_d とおく。ノード N 1 5 D にはバイアス電圧 B_{IAS} が与えられ、可変抵抗素子 4 2 D には定電流 I が流れる。

【 0 0 8 3 】

トランスファゲート 8 1 は、制御信号 PLUS、 \neg PLUS に応じて、ノード N 1 5 D とノード N 1 3 とを接続／分離する。トランスファゲート 8 2 は、制御信号 PLUS、 \neg PLUS に応じて、ノード N 1 5 D とノード N 1 7 とを接続／

分離する。トランスファゲート 8 3 は、制御信号 P L U S, / P L U S に応じて、ノード N 1 3 とノード N 1 8 とを接続／分離する。トランスファゲート 8 4 は、制御信号 P L U S, / P L U S に応じて、ノード N 1 7 とノード N 1 8 とを接続／分離する。

【 0 0 8 4 】

制御信号 P L U S が H レベル（制御信号 / P L U S が L レベル）のとき、トランスファゲート 8 2, 8 3 が導通し、ノード N 1 5 D と N 1 7 およびノード N 1 3 と N 1 8 がそれぞれ接続される。このとき、電流－電圧変換回路 4 D は、電流電圧回路 4 B の回路構成と等価となり、ノード N 1 8 から得られる電流－電圧変換回路 4 D の基準電圧 V R E F d は、

$$V R E F d = B I A S + I \cdot R d$$

となる。

【 0 0 8 5 】

一方、制御信号 P L U S が L レベル（制御信号 / P L U S が H レベル）のとき、トランスファゲート 8 1, 8 4 が導通し、ノード N 1 5 D と N 1 3 およびノード N 1 7 と N 1 8 がそれぞれ接続される。このとき、電流－電圧変換回路 4 D は、電流電圧回路 4 C の回路構成と等価となり、ノード N 1 8 から得られる電流－電圧変換回路 4 D の基準電圧 V R E F d は、

$$V R E F d = B I A S - I \cdot R d$$

となる。

【 0 0 8 6 】

バイアス電圧 B I A S は温度依存性を有さず、可変抵抗素子 4 2 D の抵抗値 R d の温度係数も小さい。そのため、電流－電圧変換回路 4 D の基準電圧 V R E F d は、制御信号 P L U S, / P L U S の状態にかかわらず、定電流 I の温度依存性とほぼ等しくなる。

【 0 0 8 7 】

図 1 5 は、電流－電圧変換回路 4 D における基準電圧 V R E F d と抵抗値 R d との関係を示した図である。

【 0 0 8 8 】

図 1 5 に示すように、電流－電圧変換回路 4 D の基準電圧 V_{REFd} は、制御信号 $PLUS$ 、 $\neg PLUS$ の状態に応じて変化の仕方が異なる。

【0089】

制御信号 $PLUS$ が H レベル（制御信号 $\neg PLUS$ が L レベル）のとき、 $V_{REFd} = BIAS + I \cdot R_d$ となり、基準電圧 V_{REFd} は、可変抵抗素子 4 2 D の抵抗値 R_d の増加に比例して増大する。

【0090】

一方、制御信号 $PLUS$ が L レベル（制御信号 $\neg PLUS$ が H レベル）のとき、 $V_{REFd} = BIAS - I \cdot R_d$ となり、基準電圧 V_{REFd} は、可変抵抗素子 4 2 D の抵抗値 R_d の増加に比例して減少する。

【0091】

このように、電流－電圧変換回路 4 D は、制御信号 $PLUS$ 、 $\neg PLUS$ の状態に応じて、可変抵抗素子 4 2 D の抵抗値 R_d の増加に対する基準電圧 V_{REFd} の変化の仕方が異なる。ゆえに、制御信号 $PLUS$ 、 $\neg PLUS$ の状態制御と可変抵抗素子 4 2 D の抵抗値 R_d のトリミングとを組み合わせることによって、温度依存性を特定の範囲内で任意に設定可能な基準電圧 V_{REFd} を広い電圧範囲で得ることができる。

【0092】

以上のように、実施の形態 2 によれば、電流－電圧変換回路 4 の回路構成を改良することによって、温度依存性を特定の範囲内で任意に設定可能な基準電圧を広い電圧範囲で得ることができる。

【0093】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0094】

【発明の効果】

以上のように、この発明によれば、基準電圧の温度依存性を所定の正の温度特

性から所定の負の温度特性の間に設定可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による基準電圧発生回路 1 0 の概略的な構成を示したブロック図である。

【図 2】 この発明の実施の形態 1 による定電流回路 1 A の回路構成を示した回路図である。

【図 3】 この発明の実施の形態 1 による定電流回路 2 A の回路構成を示した回路図である。

【図 4】 この発明の実施の形態 1 による電流合成回路 3 A の回路構成を示した回路図である。

【図 5】 電流 I_1 、 I_2 および電流 I の温度特性を示した図である。

【図 6】 チャネル幅を変化させることが可能な N チャネル MOS トランジスタ部 3 3 A の回路構成を示した回路図である。

【図 7】 チャネル幅を変化させることが可能な N チャネル MOS トランジスタ部 3 3 B の回路構成を示した回路図である。

【図 8】 この発明の実施の形態 1 による電流－電圧変換回路 4 A の回路構成を示した回路図である。

【図 9】 この発明の実施の形態 2 による電流－電圧変換回路 4 B の回路構成を示した回路図である。

【図 1 0】 一般的な N チャネル MOS トランジスタにおけるドレイン電流 I_d とゲート－ソース電圧 V_{gs} との関係を表わした図である。

【図 1 1】 電流－電圧変換回路 4 B における基準電圧 V_{REFb} と抵抗値 R_b との関係を示した図である。

【図 1 2】 この発明の実施の形態 2 による電流－電圧変換回路 4 C の回路構成を示した回路図である。

【図 1 3】 電流－電圧変換回路 4 C における基準電圧 V_{REFc} と抵抗値 R_c との関係を示した図である。

【図 1 4】 この発明の実施の形態 2 による電流－電圧変換回路 4 D の回路構成を示した回路図である。

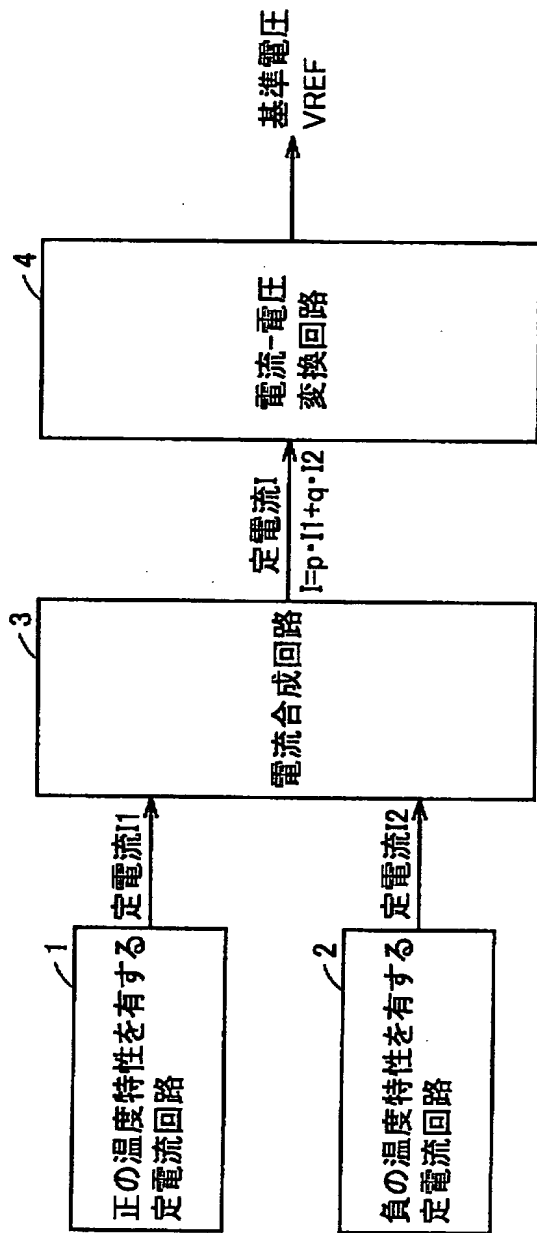
【図 1 5】 電流－電圧変換回路 4 D における基準電圧 V_{REFd} と抵抗値 R_d との関係を示した図である。

【符号の説明】

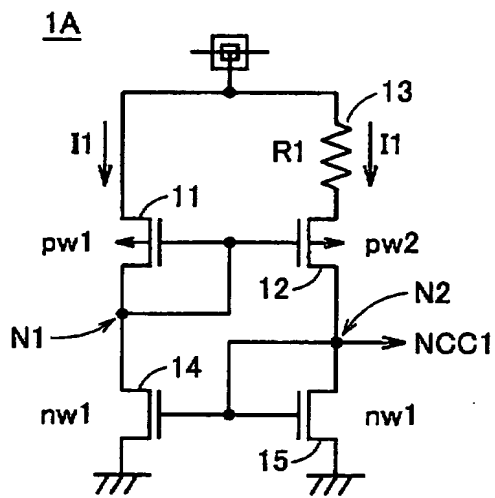
1, 1 A, 2, 2 A 定電流回路、3, 3 A 電流合成回路、4, 4 A, 4 B, 4 C, 4 D 電流－電圧変換回路、1 0 基準電圧発生回路、1 1, 1 2, 2 1, 2 2, 3 1, 3 2, 4 1, 5 1, 6 1, 6 2 PチャネルMOSトランジスタ、1 3, 2 3 抵抗素子、1 4, 1 5, 2 4, 2 5, 3 3, 3 4, 3 5, 5 2, 6 3, 6 4, 7 1, 7 2, 7 3, 1 0 1～1 0 6 NチャネルMOSトランジスタ、3 3 A, 3 3 B NチャネルMOSトランジスタ部、4 2 A, 4 2 B, 4 2 C, 4 2 D 可変抵抗素子、7 1, 7 2, 7 3, 7 4 トランスファゲート、1 1 1, 1 1 2, 1 1 3 ヒューズ。

【書類名】 図面

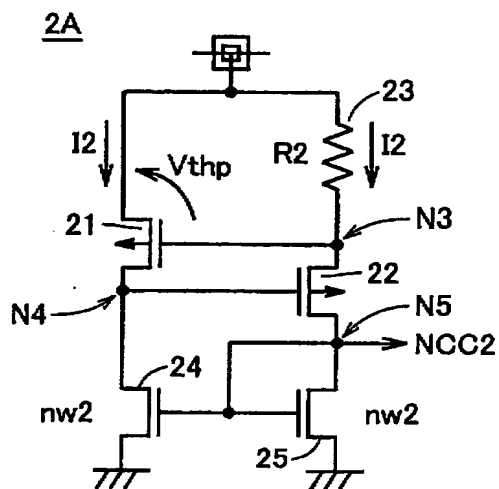
【図 1】



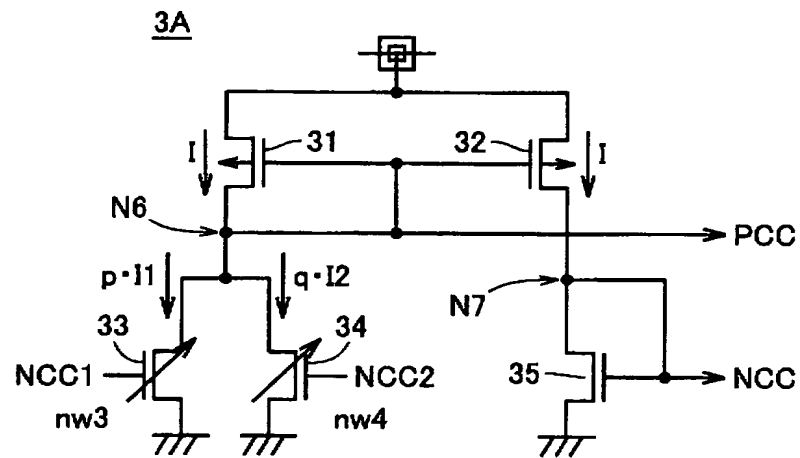
【図 2】



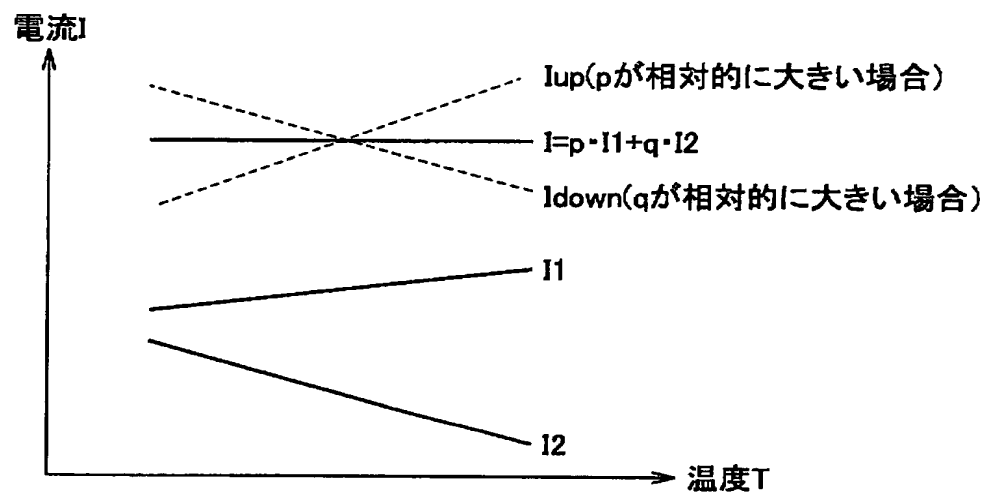
【図 3】



【図 4】

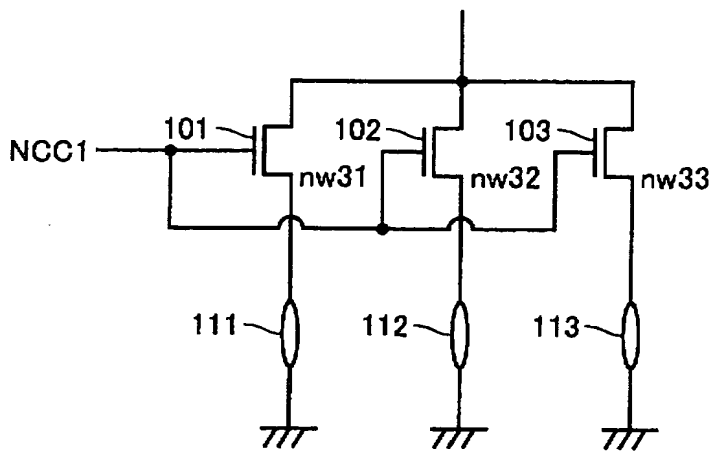


【図 5】



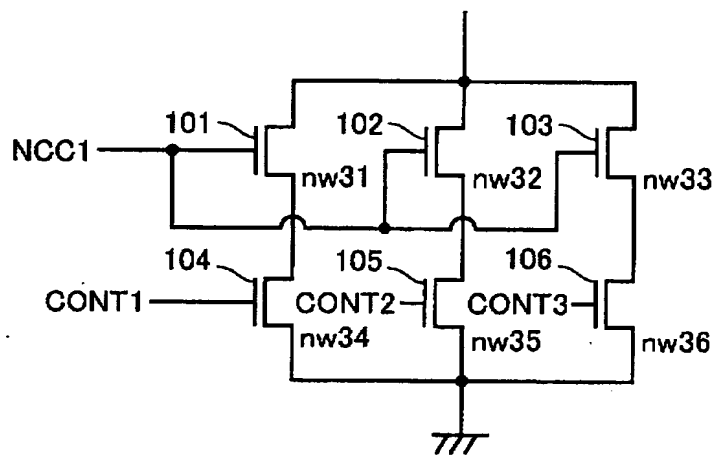
【図 6】

33A



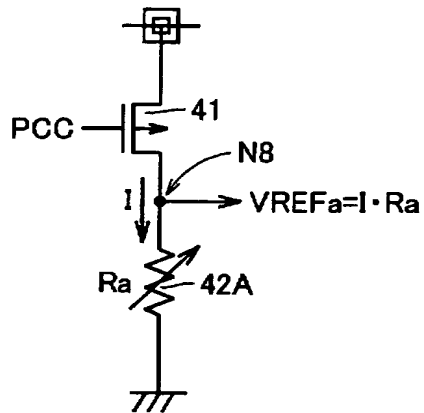
【図 7】

33B



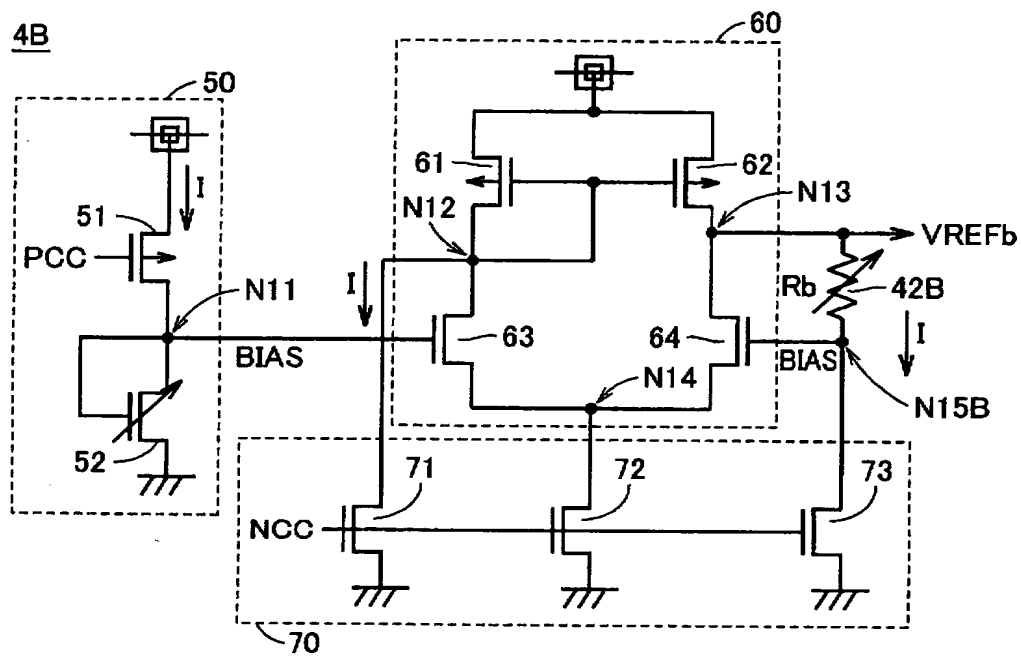
【図 8】

4A

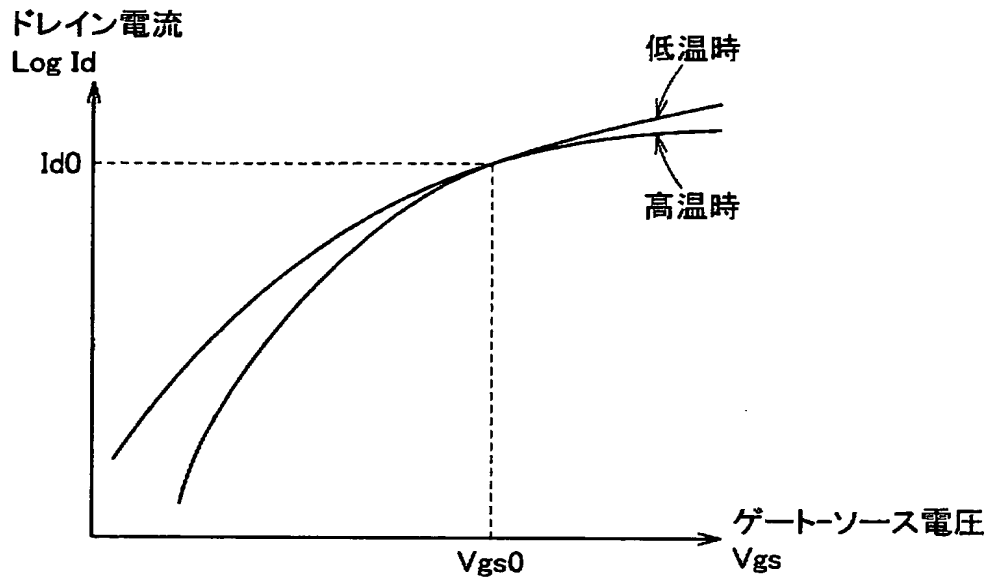


【図 9】

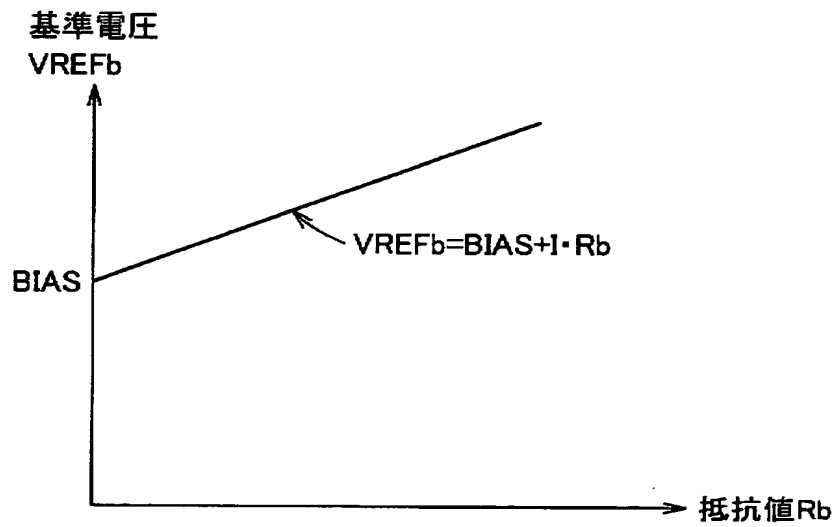
4B



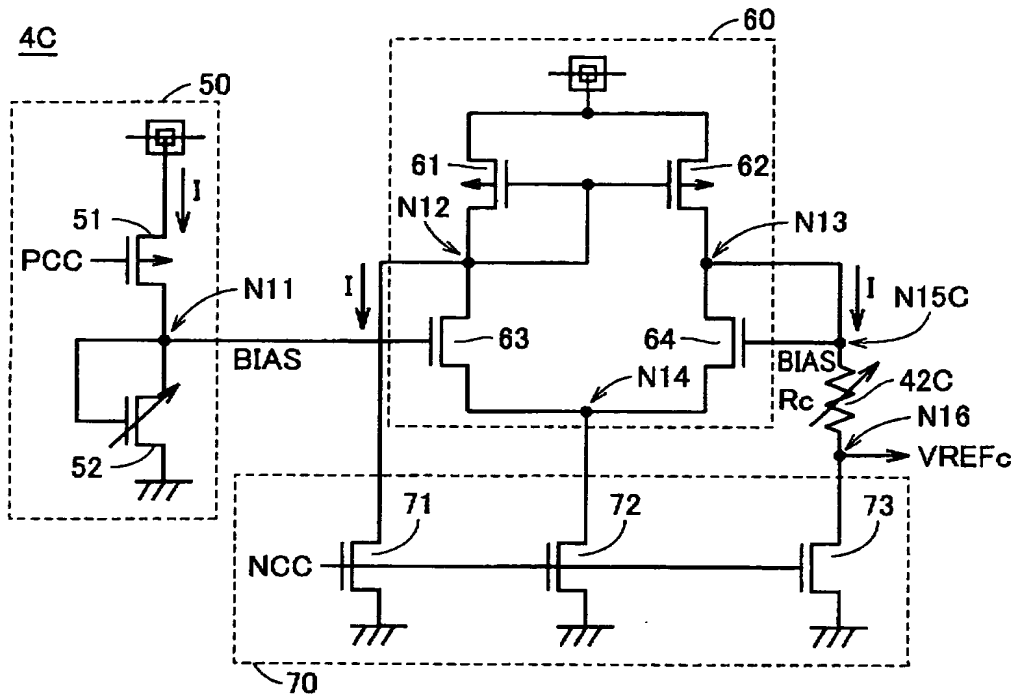
【図 10】



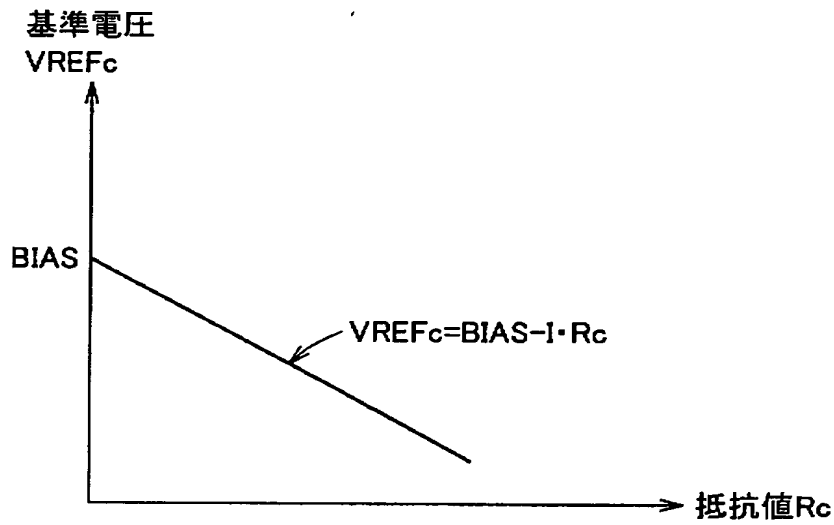
【図 11】



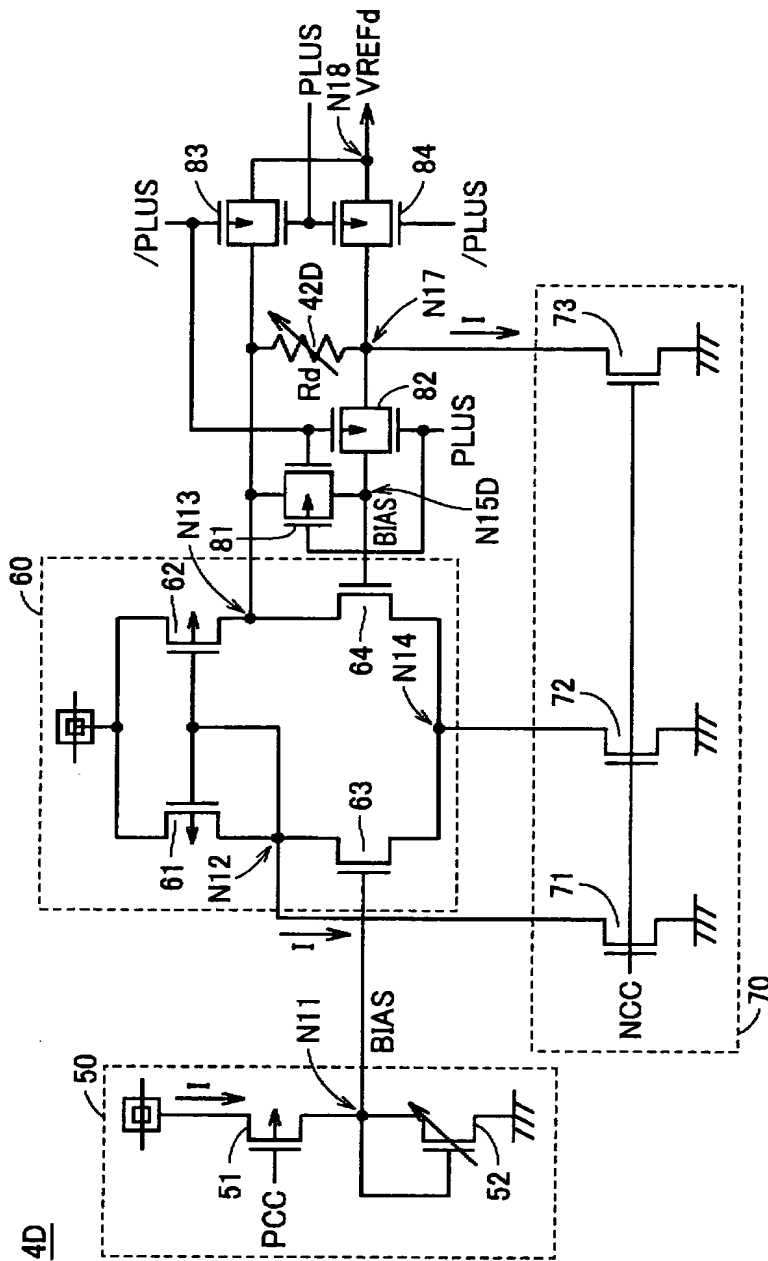
【図 1 2】



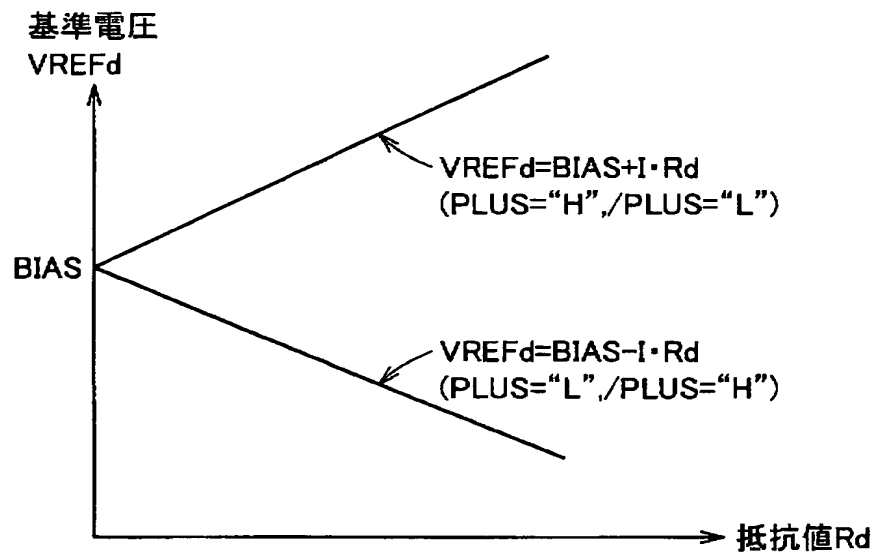
【図 1 3】



【図 14】



【图 1 5】



【書類名】 要約書

【要約】

【課題】 基準電圧の温度依存性を所定の正の温度特性から所定の負の温度特性の間に設定可能な基準電圧発生回路を提供する。

【解決手段】 正の温度特性を有する定電流回路 1 から出力された定電流 I_1 、および負の温度特性を有する定電流回路 2 から出力された定電流 I_2 は、ともに電流合成回路 3 に入力される。電流合成回路 3 は、定電流 I_1 、 I_2 を、定電流 I_1 の正の温度特性から定電流 I_2 の負の温度特性の間の温度特性となるような割合で合成することによって、特定の範囲内で任意の温度依存性を有する定電流 $I = p \cdot I_1 + q \cdot I_2$ (p , q は、ゼロの場合を含む係数) を出力する。定電流 I は、電流-電圧変換回路 4 に入力され、基準電圧 V_{REF} に変換される。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ